

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-352748

**(43)Date of publication of application : 21.12.2001**

(51)Int.Cl.

H02M 1/08

H03K 17/08

H03K 17/56

(21)Application number : 2000-167415

(71)Applicant : DENSO CORP

(22)Date of filing : 05.08.2000

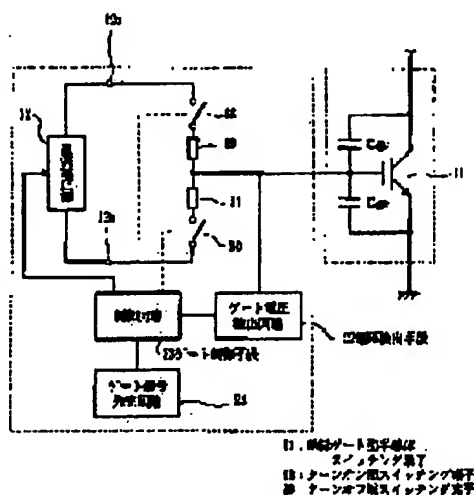
(72)Inventor : MATSUKI HIDEO  
MIZUKOSHI MASATO

## (54) GATE DRIVE CIRCUIT FOR SEMICONDUCTOR SWITCHING ELEMENT

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To reduce a switching loss while suppressing occurrence of a current surge and a noise at a turning on time of an insulated gate type semiconductor switching element and to prolong a lifetime of the element.

**SOLUTION:** A control circuit 23 turns on a switching element 18 for turning on an IGBT 11 when the IGBT 11 is turned on based on a gate timing signal from a gate signal generator 24, outputs an on-voltage from a first output terminal 12a of a DC voltage source 12, lowers a level of the on-voltage from the first output terminal 12a thereafter when the gate voltage of the IGBT 11 for detecting a gate voltage detector 22 arrives at a first set value and further resets the level of the on-voltage to an original state when the gate voltage to be detected by the gate voltage detector 22 arrives at a second set value ( $>$  the first set value).



## LEGAL STATUS

**[Date of request for examination]**

**[Date of sending the examiner's decision of rejection]**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

**[Patent number]**

**[Date of registration]**

**[Number of appeal against examiner's decision of rejection]**

**[Date of requesting appeal against examiner's decision of rejection]**

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

特開 2 0 0 1 - 3 5 2 7 4 8

(P 2 0 0 1 - 3 5 2 7 4 8 A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

| (51) Int. Cl. <sup>7</sup> | 識別記号  | F I     | 備考 (参考)       |
|----------------------------|-------|---------|---------------|
| H 0 2 M                    | 1/08  | H 0 2 M | 1/08 A 5H740  |
| H 0 3 K                    | 17/08 | H 0 3 K | 17/08 Z 5J055 |
|                            | 17/56 |         | 17/56 Z       |

審査請求 未請求 請求項の数 1 1 O L

(全 1 0 頁)

|           |                              |          |  |
|-----------|------------------------------|----------|--|
| (21) 出願番号 | 特願2000-167415 (P2000-167415) | (71) 出願人 | 000004260<br>株式会社デンソー<br>愛知県刈谷市昭和町1丁目1番地 |
| (22) 出願日  | 平成12年6月5日 (2000. 6. 5)       | (72) 発明者 | 松木 英夫<br>愛知県刈谷市昭和町1丁目1番地 株式会社<br>デンソー内   |
|           |                              | (72) 発明者 | 水越 正人<br>愛知県刈谷市昭和町1丁目1番地 株式会社<br>デンソー内   |
|           |                              | (74) 代理人 | 100071135<br>弁理士 佐藤 強                    |

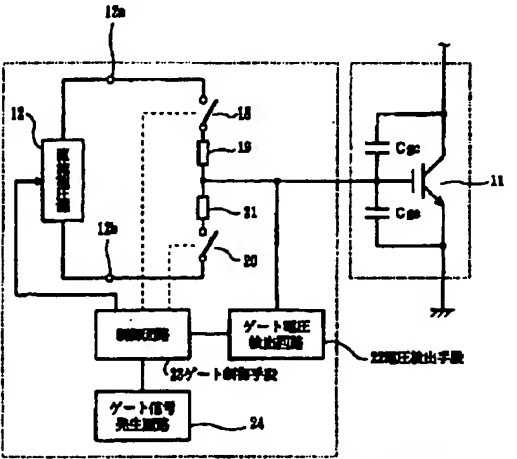
最終頁に続く

(54) 【発明の名称】 半導体スイッチング素子のゲート駆動回路

(57) 【要約】

【課題】 絶縁ゲート型半導体スイッチング素子のターンオン時における電流サージ及びノイズの発生を抑制しつつ、スイッチング損失を低減すると共に、素子寿命を延ばすこと。

【解決手段】 制御回路 2 3 は、ゲート信号発生回路 2 4 からのゲートタイミング信号に基づいて I G B T 1 1 をオンさせるときには、ターンオン用スイッチング素子 1 8 をオンさせると共に、直流電圧源 1 2 の第 1 の出力端子 1 2 a からオン電圧を出力し、その後にゲート電圧検出回路 2 2 が検出する I G B T 1 1 のゲート電圧が第 1 の設定値に達した時点で、第 1 の出力端子 1 2 a からのオン電圧のレベルを低下させ、さらにその後においてゲート電圧検出回路 2 2 が検出するゲート電圧が第 2 の設定値 (> 第 1 の設定値) に達した時点で、オン電圧のレベルを元の状態に復帰させる。



11 : 絶縁ゲート型半導体  
スイッチング素子  
18 : ターンオン用スイッチング素子  
20 : ターンオフ用スイッチング素子

## 【特許請求の範囲】

## 【請求項1】 絶縁ゲート型半導体スイッチング素子

(11)のためのゲート駆動回路において、

前記絶縁ゲート型半導体スイッチング素子(11)をターンオンさせるときにオンされるターンオン用スイッチング素子(18)と、

前記絶縁ゲート型半導体スイッチング素子(11)をターンオフさせるときにオンされるターンオフ用スイッチング素子(20)と、

前記絶縁ゲート型半導体スイッチング素子(11)のゲート電極にオン電圧を供給するための第1の出力端子

(12a)及び当該ゲート電極にオフ電圧を供給するための第2の出力端子(12b)を有し、少なくとも第1の出力端子(12a)から出力されるオン電圧のレベルを変更可能に構成された直流電圧源(12)と、

前記ターンオン用スイッチング素子(18)がオンされた状態で前記直流電圧源(12)の第1の出力端子(12a)と前記絶縁ゲート型半導体スイッチング素子(11)のゲート電極との間に接続された状態となるターンオン用ゲート抵抗(19)と、

前記ターンオフ用スイッチング素子(20)がオンされた状態で前記直流電圧源(12)の第2の出力端子(12b)と前記絶縁ゲート型半導体スイッチング素子(11)のゲート電極との間に接続された状態となるターンオフ用ゲート抵抗(21)と、

前記絶縁ゲート型半導体スイッチング素子(11)のゲート電圧を検出する電圧検出手段(22)と、

ゲート制御タイミング信号に基づいて前記ターンオン用スイッチング素子(18)及びターンオフ用スイッチング素子(20)を選択的にオンさせるように設けられ、ターンオン用スイッチング素子(18)をオンさせるときには前記電圧検出手段(22)の検出電圧レベルに応じて前記直流電圧源(12)の第1の出力端子(12a)から出力されるオン電圧のレベルを変更する制御を行うゲート制御手段(23)とを備えたことを特徴とする半導体スイッチング素子のゲート駆動回路。

【請求項2】 請求項1記載の半導体スイッチング素子のゲート駆動回路において、

前記ゲート制御手段(23)は、前記ターンオン用スイッチング素子(18)をオンさせた状態では、前記電圧検出手段(22)が検出するゲート電圧が第1の設定値とこれより高い値の第2の設定値との間にある期間に、前記直流電圧源(12)の第1の出力端子(12a)から出力されるオン電圧のレベルを一時的に低下させる制御を行うことを特徴とする半導体スイッチング素子のゲート駆動回路。

【請求項3】 請求項2記載の半導体スイッチング素子のゲート駆動回路において、

前記電圧検出手段(22)は、前記絶縁ゲート型半導体スイッチング素子(11)のゲート電圧変化率がミラー

効果により一時的に低下する状態を検出可能に構成され、

前記第2の設定値は、前記電圧検出手段(22)が前記ゲート電圧変化率の一時的な低下を検出した時点でのゲート電圧に設定されることを特徴とする半導体スイッチング素子のゲート駆動回路。

【請求項4】 請求項3記載の半導体スイッチング素子のゲート駆動回路において、

前記電圧検出手段(22)は、前記絶縁ゲート型半導体スイッチング素子(11)のゲート電圧変化率がミラー効果により一時的に低下する状態を、そのゲート電圧の微分値に基づいて検出することを特徴とする半導体スイッチング素子のゲート駆動回路。

【請求項5】 請求項1記載の半導体スイッチング素子のゲート駆動回路において、

前記ゲート制御手段(23)は、前記ターンオン用スイッチング素子(18)をオンさせた状態では、前記電圧検出手段(22)が検出するゲート電圧が第1の設定値に達した時点から所定の時間だけ前記直流電圧源(12)の第1の出力端子(12a)から出力されるオン電圧のレベルを一時的に低下させる制御を行うことを特徴とする半導体スイッチング素子のゲート駆動回路。

【請求項6】 請求項5記載の半導体スイッチング素子のゲート駆動回路において、

前記ゲート制御手段(23)は、前記直流電圧源(12)の第1の出力端子(12a)から出力されるオン電圧のレベルを一時的に低下させる制御を、前記絶縁ゲート型半導体スイッチング素子(11)に流れる負荷電流がピーク値に達した後に終了することを特徴とする半導体スイッチング素子のゲート駆動回路。

【請求項7】 請求項2ないし6の何れかに記載の半導体スイッチング素子のゲート駆動回路において、

前記第1の設定値は、前記絶縁ゲート型半導体スイッチング素子(11)のゲートしきい値電圧と等しく設定されることを特徴とする半導体スイッチング素子のゲート駆動回路。

【請求項8】 絶縁ゲート型半導体スイッチング素子(11)のためのゲート駆動回路において、

前記絶縁ゲート型半導体スイッチング素子(11)をターンオンさせるときにオンされるターンオン用スイッチング素子(18)と、

前記絶縁ゲート型半導体スイッチング素子(11)をターンオフさせるときにオンされるターンオフ用スイッチング素子(20)と、

前記絶縁ゲート型半導体スイッチング素子(11)のゲート電極にオン電圧を供給するための第1の出力端子

(12a)及び当該ゲート電極にオフ電圧を供給するための第2の出力端子(12b)を有し、少なくとも第1の出力端子(12a)から出力されるオン電圧のレベルを変更可能に構成された直流電圧源(12)と、

3  
前記ターンオン用スイッチング素子(18)がオンされた状態で前記直流電圧源(12)の第1の出力端子(12a)と前記絶縁ゲート型半導体スイッチング素子(11)のゲート電極との間に接続された状態となるターンオン用ゲート抵抗(19)と、  
前記ターンオフ用スイッチング素子(20)がオンされた状態で前記直流電圧源(12)の第2の出力端子(12b)と前記絶縁ゲート型半導体スイッチング素子(11)のゲート電極との間に接続された状態となるターンオフ用ゲート抵抗(21)と、  
ゲート制御タイミング信号に基づいて前記ターンオン用スイッチング素子(18)及びターンオフ用スイッチング素子(20)を選択的にオンさせるように設けられ、  
ターンオン用スイッチング素子(18)をオンさせたときには、そのオン時点から所定時間が経過した後に前記直流電圧源(12)の第1の出力端子(12a)から出力されるオン電圧のレベルを所定期間だけ変更する制御を行うゲート制御手段(25)とを備えたことを特徴とする半導体スイッチング素子のゲート駆動回路。

【請求項9】 請求項8記載の半導体スイッチング素子のゲート駆動回路において、  
前記ゲート制御手段(25)は、前記ターンオン用スイッチング素子(18)をオンさせた状態では、そのオン時点から所定時間が経過した後の所定期間に、前記直流電圧源(12)の第1の出力端子(12a)から出力されるオン電圧のレベルを一時的に低下させる制御を行うことを特徴とする半導体スイッチング素子のゲート駆動回路。

【請求項10】 前記直流電圧源(12)は、  
前記オン電圧発生用の複数個の電圧源(13、14)と、  
これらの電圧源(13、14)を選択的に有効化することにより前記第1の出力端子(12a)から出力されるオン電圧のレベルを切換える電圧切換用スイッチング素子(16、17)とを備えたものであることを特徴とする請求項1ないし9の何れかに記載の半導体スイッチング素子のゲート駆動回路。

【請求項11】 請求項10記載の半導体スイッチング素子のゲート駆動回路において、  
前記オン電圧発生用の複数個の電圧源(13、14)は互いに出力電圧レベルが異なる状態とされ、  
前記電圧切換用スイッチング素子(16、17)は、前記複数個の電圧源(13、14)のうちの一つを前記第1の出力端子(12a)に接続することにより前記オン電圧のレベルを切換えることを特徴とする半導体スイッチング素子のゲート駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、IGBTやMOSFETなどのような絶縁ゲート型半導体スイッチング素

子のためのゲート駆動回路に関する。

【0002】

【発明が解決しようとする課題】図5には、交流電動機を可変速駆動するためのインバータ装置の基本的な回路構成例が示されている。この図5において、インバータ主回路1は、例えばIGBTよりなる合計6個の半導体スイッチング素子2a~2fを三相ブリッジ接続して構成されるものであり、平滑コンデンサ3を通じて与えられる直流電源4の出力をスイッチングすることにより可変電圧・可変周波数の交流出力を発生して交流電動機5に供給する。これら半導体スイッチング素子2a~2fは、ゲート制御回路6からのゲート制御信号により所定モードでオンオフ制御されるようになっており、また、各半導体スイッチング素子2a~2fには、それぞれと並列に環流ダイオード7a~7fが接続される。

【0003】このような回路構成において、例えば図5中に矢印Aで示す方向に電流が流れている状態(半導体スイッチング素子2a、2dがオンされた状態)から、矢印Bで示す方向に電流を流す状態に切り換えるために、半導体スイッチング素子2a、2dをオフ状態に切り換えると共に、半導体スイッチング素子2b、2eをオン状態に切換えるときには、半導体スイッチング素子2b、2e及び環流ダイオード7a、7dに急激に電流が流れる現象が発生する。ところが、このように急激に流れる電流は、電流サージ及びノイズの発生やスイッチング損失の増大の原因になり、また、場合によっては半導体スイッチング素子或いは環流ダイオードの破壊や劣化の原因になる。

【0004】一方、例えば特開平10-23743号公報には、IGBT素子のスイッチング時における電圧サージの抑制及びスイッチング損失の低減を図ることを目的として、IGBT素子にゲート電圧を与えるための駆動用電圧源を複数個(例えば2個)設けると共に、IGBT素子のターンオフ時において、それら駆動用電圧源を切換える切り換え手段を設ける構成とした半導体素子の駆動回路が開示されている。但し、この半導体素子の駆動回路は、半導体素子のターンオフ時にのみ機能する構成のものであるため、図5のような回路構成で発生する前述した問題点に対処することはできない。

【0005】本発明は上記事情に鑑みてなされたものであり、その目的は、絶縁ゲート型半導体スイッチング素子のターンオン時における電流サージ及びノイズの発生を抑制しつつ、スイッチング損失を低減できると共に、その素子寿命を延ばすことが可能になる半導体スイッチング素子のゲート駆動回路を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために請求項1に記載した手段を採用できる。この手段によれば、ゲート制御手段(23)が、ゲート制御タイミング信号に基づいてターンオン用スイッチング素子(1

8) 及びターンオフ用スイッチング素子(20)を選択的にオンさせるようになり、ターンオン用スイッチング素子(18)がオンされたときには、直流電圧源(12)の第1の出力端子(12a)と絶縁ゲート型半導体スイッチング素子(11)のゲート電極との間がターンオン用ゲート抵抗(19)を介して接続された状態となり、当該半導体スイッチング素子(11)がゲート電極にオン電圧を受けてターンオンされる。また、ターンオフ用スイッチング素子(20)がオンされたときには、直流電圧源(12)の第2の出力端子(12b)と絶縁ゲート型半導体スイッチング素子(11)のゲート電極との間がターンオフ用ゲート抵抗(21)を介して接続された状態となり、当該半導体スイッチング素子(11)がゲート電極にオフ電圧を受けてターンオフされる。

【0007】この場合、ゲート制御手段(23)は、特に、ターンオン用スイッチング素子(18)をオンさせるときには、電圧検出手段(22)が検出した絶縁ゲート型半導体スイッチング素子(11)のゲート電圧のレベルに応じて前記直流電圧源(12)の第1の出力端子(12a)から出力されるオン電圧のレベルを変更する制御を行うようになる。従って、例えば、絶縁ゲート型半導体スイッチング素子(11)をターンオンさせる過程で所定期間だけゲート電圧レベルを低い状態に切換えるという制御が可能になり、このような制御が行われた場合には、上記半導体スイッチング素子(11)のゲート容量に流れる充電電流が制限される。この結果、上記期間においては、半導体スイッチング素子(11)のゲート電圧の上昇が抑えられるため、その半導体スイッチング素子(11)に流れる負荷電流の $di/dt$ (つまり、立上がり速度)が緩やかになる。これにより、絶縁ゲート型半導体スイッチング素子(11)のターンオン時において負荷電流が急激に流れることがなくなるから、電流サージ及びノイズの発生を抑制しつつ、そのスイッチング損失を低減できると共に、当該半導体スイッチング素子(11)の寿命を延ばす上で有益となる。

【0008】請求項2記載の手段によれば、ゲート制御手段(23)は、ターンオン用スイッチング素子(18)をオンさせたときに、電圧検出手段(22)により検出される絶縁ゲート型半導体スイッチング素子(11)のゲート電圧のレベルが第1の設定値及び第2の設定値の間にある期間だけ、その半導体スイッチング素子(11)のゲート電極に供給されるオン電圧のレベルを一時的に低下させる制御を行うようになる。このため、上記期間において、絶縁ゲート型半導体スイッチング素子(11)のゲート電圧の上昇が抑えられるようになる。また、その半導体スイッチング素子(11)をターンオンさせるときにゲート電圧レベルを低い状態に切換える制御を、予め設定された期間だけ確実に実行し得るようになる。

【0009】請求項3及び4記載の各手段によれば、絶縁ゲート型半導体スイッチング素子(11)のゲート電圧が第2の設定値に達したか否かの検出を、その半導体スイッチング素子(11)のターンオン過程においてゲート電圧若しくはゲート電圧変化率がミラー効果により一時的に低下した時点でのゲート電圧を検出することにより容易に行うことができる。

【0010】請求項5記載の手段によれば、ゲート制御手段(23)は、ターンオン用スイッチング素子(18)をオンさせたときに、電圧検出手段(22)により検出される絶縁ゲート型半導体スイッチング素子(11)のゲート電圧のレベルが第1の設定値に達した時点から所定の時間だけ、その半導体スイッチング素子(11)のゲート電極に供給されるオン電圧のレベルを一時的に低下させる制御を行うようになる。このため、絶縁ゲート型半導体スイッチング素子(11)をターンオンさせるときにゲート電圧レベルを低い状態に切換える制御を、予め設定された期間だけ確実に実行し得るようになる。

【0011】請求項6記載の手段によれば、ゲート制御手段(23)は、ターンオン用スイッチング素子(18)をオンさせた場合において、絶縁ゲート型半導体スイッチング素子(11)のゲート電極に供給されるオン電圧のレベルを一時的に低下させる制御を、その半導体スイッチング素子(11)に流れる負荷電流がピーク値に達した後を終了する構成となっているから、サージの発生を効果的に抑制できるようになる。

【0012】請求項7記載の手段によれば、絶縁ゲート型半導体スイッチング素子(11)のゲート電極に供給するオン電圧のレベルを一時的に低下させる制御が、その半導体スイッチング素子(11)のゲート電圧がゲートしきい値電圧に上昇したとき、つまり半導体スイッチング素子(11)に負荷電流が流れ始めたときに始めて行われるから、その負荷電流が流れ始める時点を正確に捉えることができる。このため、絶縁ゲート型半導体スイッチング素子(11)のターンオン時において負荷電流が急激に流れる事態を確実に防止することが可能になる。

【0013】請求項8記載の手段によれば、ゲート制御手段(25)が、ゲート制御タイミング信号に基づいてターンオン用スイッチング素子(18)及びターンオフ用スイッチング素子(20)を選択的にオンさせるようになり、ターンオン用スイッチング素子(18)がオンされたときには、直流電圧源(12)の第1の出力端子(12a)と絶縁ゲート型半導体スイッチング素子(11)のゲート電極との間がターンオン用ゲート抵抗(19)を介して接続された状態となり、当該半導体スイッチング素子(11)がゲート電極にオン電圧を受けてターンオンされる。また、ターンオフ用スイッチング素子(20)がオンされたときには、直流電圧源(12)の

第2の出力端子(12b)と絶縁ゲート型半導体スイッチング素子(11)のゲート電極との間がターンオフ用ゲート抵抗(21)を介して接続された状態となり、当該半導体スイッチング素子(11)がゲート電極にオフ電圧を受けてターンオフされる。

【0014】この場合、ゲート制御手段(25)は、特に、ターンオン用スイッチング素子(18)をオンさせるときには、そのオン時点から所定時間が経過した後に前記直流電圧源(12)の第1の出力端子(12a)から出力されるオン電圧のレベルを所定期間だけ変更する制御を行うようになる。従って、例えば、絶縁ゲート型半導体スイッチング素子(11)をターンオンさせるときに所定期間だけそのゲート電圧レベルを低い状態に切換えるという制御が可能になり、このような制御が行われた場合には、上記半導体スイッチング素子(11)のゲート容量に流れる充電電流が制限される。この結果、上記期間においては、半導体スイッチング素子(11)のゲート電圧の上昇が抑えられるため、これに流れる負荷電流の $di/dt$ (つまり、立上がり速度)が緩やかになる。これにより、絶縁ゲート型半導体スイッチング素子(11)のターンオン時において負荷電流が急激に流れることがなくなるから、電流サージ及びノイズの発生を抑制しつつ、そのスイッチング損失を低減できると共に、当該半導体スイッチング素子(11)の寿命を延ばす上で有益となる。また、オン電圧のレベル変更制御を時間制御のみで行う構成であるから、全体の回路構成を簡単化できる。

【0015】請求項9記載の手段によれば、ゲート制御手段(25)は、ターンオン用スイッチング素子(18)をオンさせたときに、そのオン時点から所定時間が経過した後の所定期間だけ、絶縁ゲート型半導体スイッチング素子(11)のゲート電極に供給されるオン電圧のレベルを一時的に低下させる制御を行うようになる。このため、上記期間において、半導体スイッチング素子(11)のゲート電圧の上昇が抑えられるようになる。

【0016】請求項10及び11記載の各手段によれば、電圧切換用スイッチング素子(16、17)を制御することによって、第1の出力端子(12a)から出力されるオン電圧のレベルを容易に変更できるようになる。

【0017】

【発明の実施の形態】(第1の実施の形態)以下、本発明の第1実施例について図1ないし図3を参照しながら説明する。全体の電氣的構成を示す図1において、IGBT11は、ゲート電極に印加するゲート電圧によってコレクタ・エミッタ間の導通状態が制御される絶縁ゲート型半導体スイッチング素子であり、図ではゲート・コレクタ間容量 $C_{gc}$ 及びゲート・エミッタ間容量 $C_{ge}$ を等価回路的に示している。

【0018】直流電圧源12は、IGBT11をターン

オンさせるための正極性のオン電圧及びターンオフさせるための負極性のオフ電圧を発生するためのもので、オン電圧出力用の第1の出力端子12aと、オフ電圧出力用の第2の出力端子12bとを有する。この場合、直流電圧源12は、第1の出力端子12aから出力するオン電圧のレベルを2段階に変更可能に構成されたもので、例えば図2に示すような回路構成とされている。

【0019】即ち、図2において、直流電圧源12は、3個の電圧源13、14及び15と、一方のみが選択的にオンされる電圧切換用スイッチング素子16及び17とを備えており、少なくとも電圧源13及び14は、その出力電圧レベルが互いに異なった状態とされている。そして、それら電圧源13及び14は、各正極側端子が電圧切換用スイッチング素子16及び17を個別に介して第1の出力端子12aに接続され、各負極側端子がグランド端子に接続される。また、電圧源15は、負極側端子が第2の出力端子12bに接続され、正極側端子がグランド端子に接続される。尚、上記各スイッチング素子13及び15は、半導体スイッチング素子(FET、バイポーラトランジスタなど)により構成されるものである。

【0020】このように構成された直流電圧源12にあっては、例えば、各電圧源13、14、15の端子間電圧をそれぞれ $V_{13}$ 、 $V_{14}$ 、 $V_{15}$ ( $V_{13} > V_{14}$ )とした場合、第1の出力端子12aからは、電圧切換用スイッチング素子16及び17のオン状態に応じて正極性のオン電圧 $+V_{13}$ 及び $+V_{14}$ の何れか一方が出力され、第2の出力端子12bからは、負極性のオフ電圧 $-V_{15}$ が出力されることになる。

【0021】図1に翻って、直流電圧源12の第1の出力端子12aとIGBT11のゲート電極との間には、ターンオン用スイッチング素子18、ターンオン用ゲート抵抗19が直列に接続され、直流電圧源12の第2の出力端子12bとIGBT11のゲート電極との間には、ターンオフ用スイッチング素子20、ターンオフ用ゲート抵抗21が直列に接続される。尚、上記各スイッチング素子18及び20も、半導体スイッチング素子(FET、バイポーラトランジスタなど)により構成されるものである。また、ターンオン用ゲート抵抗19及びターンオフ用ゲート抵抗21は、これらを1つの抵抗で兼用することも可能である。

【0022】ゲート電圧検出回路22(本発明でいう電圧検出手段に相当)は、IGBT11のゲート電圧を検出するために設けられており、その検出電圧を制御回路23(本発明でいうゲート制御手段に相当)に与える構成となっている。ゲート信号発生回路24は、IGBT11のオンオフ状態を制御するためのゲート制御タイミング信号を予め決められたモードで発生するものであり、そのゲート制御タイミング信号を制御回路23に与える構成となっている。

【0023】制御回路23は、ゲート信号発生回路24からのゲートタイミング信号に基づいて前記ターンオン用スイッチング素子18及びターンオフ用スイッチング素子20を選択的にオンさせると共に、特にターンオン用スイッチング素子18をオンさせるときには、前記ゲート電圧検出回路22の検出電圧レベルに基づいて前記直流電圧源12内の電圧切換用スイッチング素子16及び17の何れか一方を選択的にオンさせることにより、直流電圧源12の第1の出力端子12aから出力されるオン電圧のレベルを変更する制御を行う構成となっている。

【0024】以下においては、上記制御回路23による制御内容の具体例並びにその制御に関連した作用について、図3の特性曲線も参照しながら説明する。尚、この図3は、IGBT11のゲート電圧 $V_{ge}$ 、コレクタ・エミッタ間電圧 $V_{ce}$ 、コレクタ電流 $I_c$ （負荷電流）の変化特性を概略的に示すものである。

【0025】制御回路23は、ゲート信号発生回路24からのゲート制御タイミング信号がIGBT11のオンを指令するものであった場合には、ターンオン用スイッチング素子18をオンさせる。このとき、直流電圧源12内の電圧切換用スイッチング素子16は予めオンされている。このため、直流電圧源12の第1の出力端子12aから、電圧源13の端子電圧に対応したオン電圧（ $=+V_{13}$ ）が出力されるようになり、そのオン電圧が、IGBT11のゲート電極に対しターンオン用ゲート抵抗19を介して印加開始される（図3のタイミングt1）。このようなオン電圧の印加に応じてゲート電圧 $V_{ge}$ がIGBT11のゲートしきい値電圧 $V_{th}$ 以上になると（タイミングt2）、コレクタ電流 $I_c$ が流れ始めると共に、コレクタエミッタ電圧 $V_{ce}$ が低下し始めるようになる。

【0026】この後、制御回路23は、ゲート電圧 $V_{ge}$ が予め設定された第1の設定値 $V_{s1}$ に達した時点（タイミングt3）をゲート電圧検出回路22による検出電圧に基づいて判断し、直流電圧源12内の電圧切換用スイッチング素子16をオフすると共に、電圧切換用スイッチング素子17をオンさせる。これにより、直流電圧源12の第1の出力端子12aから、電圧源14の端子電圧に対応したオン電圧（ $=+V_{14}<+V_{13}$ ）が出力されるようになり、IGBT11のゲート電極に印加されるオン電圧のレベルが低下された状態に切換えられる。

【0027】このようなオン電圧の切換え後において、制御回路23は、ゲート電圧 $V_{ge}$ が予め設定された第2の設定値 $V_{s2}$ に達した時点（タイミングt4）をゲート電圧検出回路22による検出電圧に基づいて判断する。この場合、上記第2の設定値 $V_{s2}$ は、絶対的な値として設定することもできるが、IGBT11をターンオンさせるときにそのゲート電圧 $V_{ge}$ の変化率がミラー効果により一時的に低下した状態をゲート電圧検出回路22によ

る検出電圧に基づいて検出し、このような検出状態となったときにゲート電圧 $V_{ge}$ が第2の設定値 $V_{s2}$ に達したものと判断する構成とすることもできる。

【0028】そして、制御回路23は、ゲート電圧 $V_{ge}$ が第2の設定値 $V_{s2}$ に達したと判断したときには、直流電圧源12内の電圧切換用スイッチング素子16をオンした状態に復帰させ、その第1の出力端子12aから、電圧源13の端子電圧に対応したオン電圧（ $=V_{13}$ ）が出力されるように切換える。これにより、IGBT11のゲート電極に印加されるオン電圧のレベルが低下された状態から元の状態に復帰されるものであり、最終的にIGBT11が完全にターンオンされた状態（コレクタ・エミッタ間電圧 $V_{ce}$ が実質的に零の状態）とされる。

【0029】この後に、制御回路23にあっては、ゲート信号発生回路24からIGBT11のオフを指令するゲート制御タイミング信号が入力された場合に、ターンオン用スイッチング素子18に代えてターンオフ用スイッチング素子20をオンさせる。このため、直流電圧源12の第2の出力端子12aから、負極性のオフ電圧（ $= -V_{15}$ ）が出力されるようになり、そのオフ電圧が、IGBT11のゲート電極に対しターンオフ用ゲート抵抗21を介して印加開始される（図3のタイミングt5）。このようなオフ電圧の印加に応じて、IGBT11が最終的にターンオフされるようになる。

【0030】要するに、上記した本実施例の構成によれば以下に述べるような効果を奏するものである。即ち、IGBT11をターンオンする際に、所定期間だけそのゲート電圧レベルを低い状態に切換えるという制御が行われるから、そのIGBT11のゲート・エミッタ間容量 $C_{ge}$ に流れる充電電流が制限される。この結果、上記のようにゲート電圧レベルが切換えられた期間においては、IGBT11のゲート電圧 $V_{ge}$ の上昇が抑えられるため、そのIGBT11に流れるコレクタ電流 $I_c$ （負荷電流）の $di/dt$ （つまり、立上がり速度）が緩やかになる。これにより、IGBT11のターンオン時においてコレクタ電流 $I_c$ が急激に流れることがなくなるから、電流サージ及びノイズの発生を抑制しつつ、そのスイッチング損失を低減できると共に、IGBT11の破壊や劣化を防止でき、その寿命を延ばす上で有益となる。尚、IGBT11に付随して環流ダイオードが設けられる場合には、その環流ダイオードの破壊や劣化も防止できることになる。

【0031】また、上記のようにIGBT11をターンオンさせるときに、そのゲート電圧 $V_{ge}$ のレベルを低い状態に切換える制御を、ゲート電圧検出回路22の検出電圧と予め設定された第1の設定値 $V_{s1}$ 及び第2の設定値 $V_{s2}$ に基づいて行う構成となっているから、当該制御を所定期間だけ確実にに行い得るようになる。この場合、第2の設定値 $V_{s2}$ は、例えばIGBT11のターンオン過程においてゲート電圧 $V_{ge}$ の変化率がミラー効果によ



り一時的に低下した時点でのゲート電圧 $V_{ge}$ に設定されているから、ゲート電圧 $V_{ge}$ が第2の設定値 $V_{s2}$ に達したか否かの検出を容易に行うことができる。

【0032】IGBT11のゲートに印加するオン電圧を発生するための直流電圧源12は、オン電圧発生用の複数の電圧源13、14と、これら電圧源13、14を選択的に有効化することにより第1の出力端子12aから出力されるオン電圧のレベルを切換える電圧切換用スイッチング素子16、17とを備えた構成とされているから、当該電圧切換用スイッチング素子16、17を制御することによって、当該オン電圧のレベルを容易に変更できるようになる。

【0033】(第2の実施の形態)図4には本発明の第2実施例が示されており、以下これについて前記第1実施例と異なる部分のみ説明する。即ち、この第2実施例では、第1実施例におけるゲート電圧検出回路22(図1参照)を省略すると共に、同実施例における制御回路23に代えて制御回路25(本発明でいうゲート制御手段に相当)を設ける構成としたものである。この制御回路25は、ゲート信号発生回路24からのゲートタイミング信号に基づいて前記ターンオン用スイッチング素子18及びターンオフ用スイッチング素子20を選択的にオンさせると共に、特にターンオン用スイッチング素子18をオンさせたときには、そのオン時点から所定時間が経過した後に直流電圧源12の第1の出力端子12aから出力されるオン電圧のレベルを所定期間だけ低下させる制御を行う構成となっている。

【0034】このようにオン電圧のレベルを所定期間だけ低下させる制御は、直流電圧源12内の電圧切換用スイッチング素子16、17(図2参照)のオン状態を時系列的に切換えることにより行われるものである。具体的には、ターンオン用スイッチング素子18のオン時点において既にオンされている電圧切換用スイッチング素子16によってオン電圧 $+V_{13}$ を出力し、その後所定時間が経過した時点で電圧切換用スイッチング素子16に代えて電圧切換用スイッチング素子17をオンしてオン電圧 $+V_{14}$ を出力し、さらに、その後所定時間が経過したときに電圧切換用スイッチング素子16をオンした状態に復帰させてオン電圧 $+V_{13}$ を出力した状態とするものである。

【0035】このように構成した第2実施例によっても第1実施例と同様の効果を奏し得るものであり、特に、この第2実施例によれば、オン電圧のレベル変更制御を時間制御のみで行う構成であるから、ゲート電圧検出回路22が不要になるなど、全体の回路構成の簡単化を実現できるようになる。

【0036】(その他の実施の形態)その他、本発明は上記した各実施例に限定されるものではなく、次のような変形または拡張が可能である。第1実施例では、制御回路23は、直流電圧源12の第1の出力端子12aか

ら出力されるオン電圧のレベルを一時的に低下させる制御を、ゲート電圧検出回路22が検出するゲート電圧 $V_{ge}$ が第1の設定値 $V_{s1}$ と第2の設定値 $V_{s2}$ との間にある期間において行う構成となっているが、ゲート電圧検出回路22が検出するゲート電圧 $V_{ge}$ が第1の設定値 $V_{s1}$ に達した時点から所定の時間だけ上記オン電圧のレベルを一時的に低下させる制御を行う構成とすることもできる。この構成によれば、IGBT11をターンオンさせるときにゲート電圧レベルを低い状態に切換える制御を、予め設定された期間だけ確実にに行い得るようになる。

【0037】また、第1及び第2の各実施例において、直流電圧源12の第1の出力端子12aから出力されるオン電圧のレベルを一時的に低下させる制御を、IGBT11に流れる負荷電流(コレクタ電流 $I_c$ )がピーク値に達した後に終了する構成としても良く、この構成によれば、サージの発生を効果的に抑制できるようになる。

【0038】第1実施例において、第1の設定値 $V_{s1}$ を、IGBT11のゲートしきい値電圧 $V_{th}$ と等しい値に設定する構成としても良く、この構成によれば、IGBT11のゲート電極に供給するオン電圧のレベルを一時的に低下させる制御が、そのIGBT11のゲートしきい値電圧 $V_{th}$ に上昇したとき、つまりIGBT11に負荷電流(コレクタ電流 $I_c$ )が流れ始めたときに始めて行われるから、その負荷電流が流れ始める時点を正確に捉えることができるようになる。この結果、IGBT11のターンオン時において負荷電流が急激に流れる事態を確実に防止することが可能になる。

【0039】第1実施例においては、IGBT11のゲート電圧 $V_{ge}$ の変化率がミラー効果により一時的に低下する状態の検出を、ゲート電圧検出回路22による検出電圧に基づいて行う構成を一例として挙げたが、その検出電圧(IGBT11のゲート電圧)の微分値に基づいて行う構成としても良い。

【0040】直流電圧源12の構成は上記した実施例に限られるものではなく、例えば、複数の電圧源の直並列状態を電圧切換用スイッチング素子により選択することによって、第1の出力端子12aから出力されるオン電圧のレベルを切換える構成としても良い。また、直流電圧源12の第2の出力端子12bから出力されるオフ電圧はグラウンド電位レベルのものであっても良く、この場合には直流電圧源12内の電圧源15を不要にできる。IGBT以外の絶縁ゲート型半導体スイッチング素子(例えばMOSFET)の駆動回路にも適用できることは勿論である。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す電氣的構成図

【図2】要部の回路図

【図3】作用説明用の特性曲線図



13

14

【図4】本発明の第2実施例を示す図1相当図

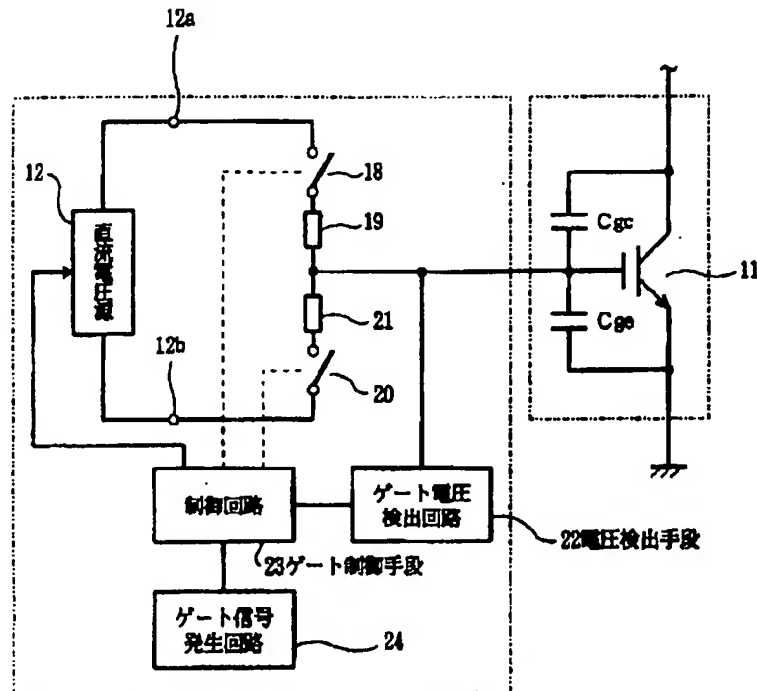
【図5】従来構成を説明するためのインバータ装置の回路構成図

【符号の説明】

11はIGBT（絶縁ゲート型半導体スイッチング素子）、12は直流電圧源、12aは第1の出力端子、12bは第2の出力端子、13～15は電圧源、16、1

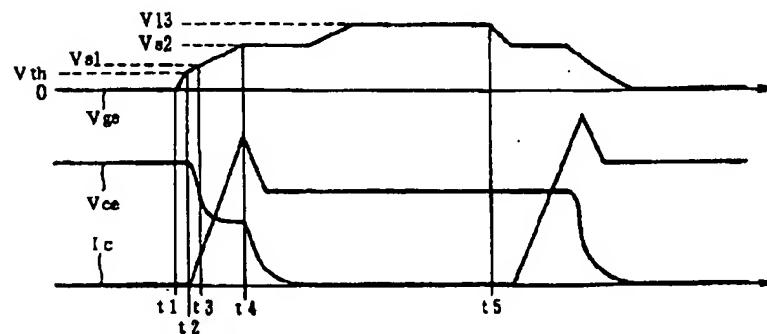
7は電圧切換用スイッチング素子、18はターンオン用スイッチング素子、19はターンオン用ゲート抵抗、20はターンオフ用スイッチング素子、21はターンオフ用ゲート抵抗、22はゲート電圧検出回路（電圧検出手段）、23、25は制御回路（ゲート制御手段）を示す。

【図1】

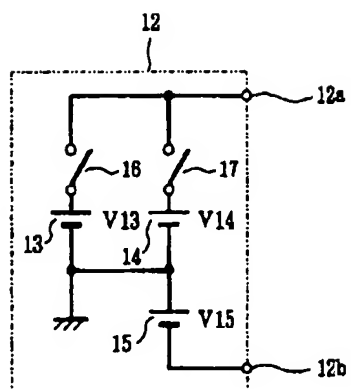


11：絶縁ゲート型半導体  
スイッチング素子  
18：ターンオン用スイッチング素子  
20：ターンオフ用スイッチング素子

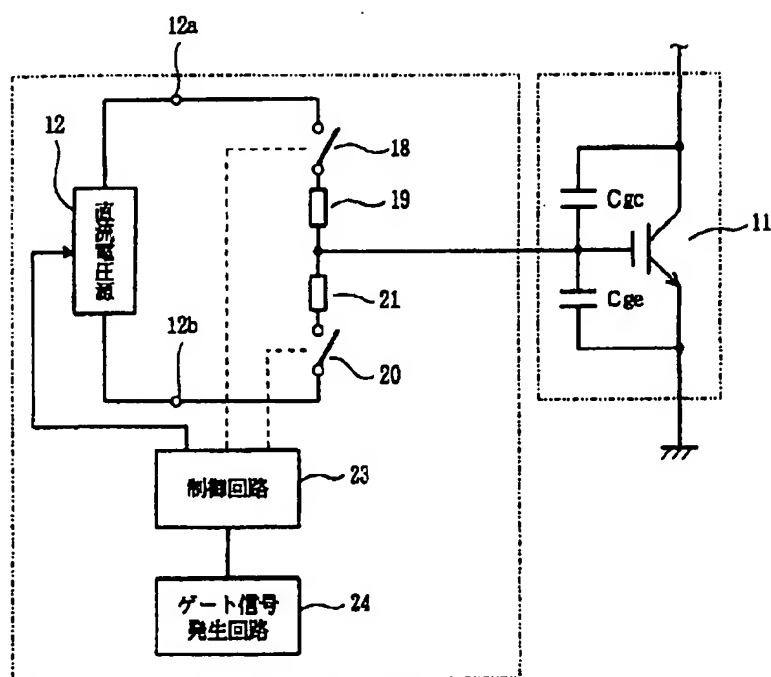
【図3】



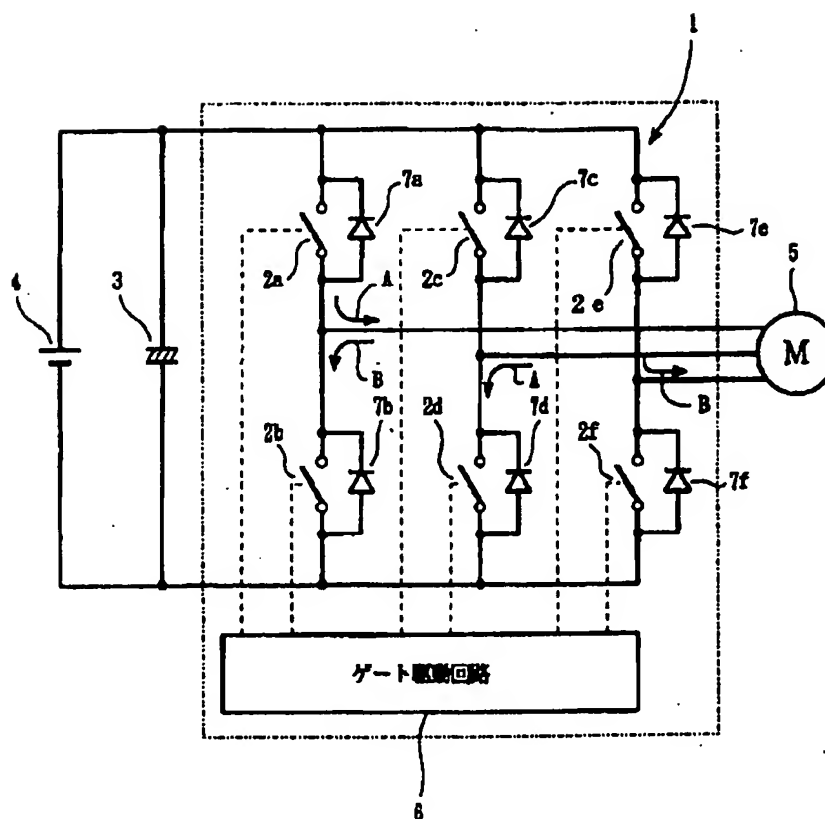
【図2】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5H740 BA12 BB05 BB08 BB10 BC01  
 BC02 JA01 KK01 LL01 MM01  
 5J055 AX12 AX26 AX32 AX55 AX56  
 AX64 BX16 CX07 CX08 CX10  
 DX09 DX22 DX52 EX23 EY01  
 EY17 EY21 FX05 FX31 GX01  
 GX02 GX06